

JC903 U.S. PTO  
 09/891316  
 06/27/01



# IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shotaro UCHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE  
MANUFACTURED THEREBY

## REQUEST FOR PRIORITY

*S. Stover*  
 JH  
 10-22-01

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-287385	September 21, 2000

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

*Marvin J. Spivak*

Registration No. 24,913  
C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

Jc903 U.S. PTO  
09/891316  
06/27/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

2000年 9月21日

出願番号

Application Number:

特願2000-287385

出願人

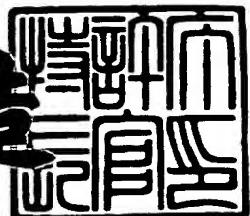
Applicant(s):

株式会社東芝

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3009273

【書類名】 特許願  
【整理番号】 A000005011  
【提出日】 平成12年 9月21日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 23/48  
【発明の名称】 半導体装置の製造方法および半導体装置  
【請求項の数】 9  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内  
【氏名】 内田 正太郎  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男  
【選任した代理人】  
【識別番号】 100068814  
【弁理士】  
【氏名又は名称】 坪井 淳  
【選任した代理人】  
【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項1】 主電極とこの主電極より面積が小さい副電極を上面に有する半導体チップを、接続材を介して外部リードフレームのダイパッドに搭載する工程と、

前記半導体チップの主電極及び副電極と前記外部リードフレームの対応する外部リードの接続用パッドとの間をそれぞれ接続する内部リードがタイバーにより接続された内部リードフレームを、所定の位置に接続材を介して搭載する工程と、

前記接続材を加熱して、前記半導体チップと前記ダイパッドとの間、前記内部リードと前記半導体チップの電極及び前記外部リードの接続パッドとの間を同時に導電的に固着する工程と、

前記タイバーをカットして、前記内部リードフレームを各内部リードに分離する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項2】 リードフレームのダイパッド上に搭載され、主電極とこの主電極より面積が小さい副電極を有する半導体チップと、

前記半導体チップの主電極及び副電極と前記リードフレームの対応する外部リードの接続パッドとの間に接続され、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、

を具備することを特徴とする半導体装置。

【請求項3】 前記タイバーは、前記内部リードフレームの他の部分の厚さよりも薄くされていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記タイバーは、前記外部リードフレームの隣接する外部リードの中央付近に設けられていることを特徴とする請求項2に記載の半導体装置。

【請求項5】 前記ダイパッドは、前記タイバーに隣接する部分に、このタイバーから距離を設けるように後退した切り欠き部分を有することを特徴とする

請求項2に記載の半導体装置。

【請求項6】 前記内部リードフレームは、タイバー部分が前記半導体チップの上面より高く形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項7】 外部リードフレームの隣接する第1及び第2のダイパッド上に搭載され、それぞれが主電極とこの主電極より面積が小さい副電極を有する第1及び第2の半導体チップと、

前記第1及び第2の半導体チップのそれぞれの主電極及び副電極と前記外部リードフレームの対応する外部リードとの間に接続された内部リードを有し、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、

前記第1及び第2のダイパッドの対向する辺において、前記第1のダイパッドに垂直に形成された突起リード部と、

前記第2のダイパッドに搭載された第2の半導体チップの主電極に接続される内部リードと一体に形成され、前記突起リード部と嵌合する切り欠き部を有し、前記突起リード部と導電的に連結された連結リード部と、  
を具備することを特徴とする半導体装置。

【請求項8】 前記突起リード部の上端に、上端面から後退して前記連結リード部を支える平坦部分を有することを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第1及び第2の半導体装置はMOSFETのチップであり、前記第1の半導体装置は、MOSFETに並列に接続されたショットキーダイオードを内蔵するチップであることを特徴とした請求項7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多ピンを有する半導体装置の製造方法と、それにより得られた半導体装置に関する。

【0002】

**【従来の技術】**

近年携帯型電子機器の普及に伴い、半導体パッケージの小型薄型化、軽量化、高性能化が特に要求されてきている。従来、半導体チップの上部電極は、ワイヤボンディングで外部リードに接続されていた。また、ダイオード等の2端子製品では、半田付けで内部リードを介して外部リードに接続されていた。

**【0003】**

また、パワーMOSFET等の3端子製品では、比較的大電流を取り扱うので半田付けリードが好ましいが、チップ上面に設けられたゲート電極がソース電極に比べて非常に小さいため、内部リードを半田付けしようとしても位置精度が出せない。このため、ゲート電極は単線のボンディングワイヤ、ソース電極は電流容量を確保するため複数のボンディングワイヤを用いて接続していた。

**【0004】**

ゲート電極は細線の接続が可能なワイヤボンディングで、ソース電極は放熱とオン抵抗に有利な内部リードの半田付けと、それぞれ異なる接続を行う方法もあるが、ゲート電極はワイヤボンディング用の電極（例えばAl）、ソース電極は半田付け用の電極（例えばVNiAu）と、電極の表面処理を変える必要があり、製造設備コストと製造コストの増大を招いていた。

**【0005】**

また、パワーMOSFETは2個直列に接続されて使用される場合が多いが、従来はこの直列接続をプリント基板の配線で行っていた。この方法では、配線による寄生インダクタンスと配線抵抗が生じ、性能の低下を招いていた。

**【0006】****【発明が解決しようとする課題】**

本発明は上記の事情を考慮して為されたもので、半導体装置の内部配線において、作業性に優れ、信頼性の高い外部リードへの接続方法を提供するものである。また、上記の製造方法で得られる半導体装置、および2個の半導体チップを上記の接続方法を応用した半導体パッケージ内で直列接続できる構成を提供する。

**【0007】****【課題を解決するための手段】**

上記課題を解決するために、本発明の半導体装置の製造方法（請求項1）は、主電極とこの主電極より面積が小さい副電極を上面に有する半導体チップを、接続材を介して外部リードフレームのダイパッドに搭載する工程と、前記半導体チップの主電極及び副電極と前記外部リードフレームの対応する外部リードの接続用パッドとの間をそれぞれ接続する内部リードがタイバーにより接続された内部リードフレームを、所定の位置に接続材を介して搭載する工程と、前記接続材を加熱して、前記半導体チップと前記ダイパッドとの間、前記内部リードと前記半導体チップの電極及び前記外部リードの接続パッドとの間を同時に導電的に固着する工程と、前記タイバーをカットして、前記内部リードフレームを各内部リードに分離する工程とを有することを特徴とする。

## 【0008】

また、本発明の半導体装置（請求項2）は、リードフレームのダイパッド上に搭載され、主電極とこの主電極より面積が小さい副電極を有する半導体チップと、前記半導体チップの主電極及び副電極と前記リードフレームの対応する外部リードの接続パッドとの間に接続され、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームとを具備することを特徴とする。

## 【0009】

上記の半導体装置は、下記のように構成されることが望ましい。

(1) タイバーは、内部リードフレームの他の部分の厚さよりも薄いこと。

## 【0010】

(2) タイバーは、外部リードフレームの隣接する外部リードの中央付近に設けられていること。

## 【0011】

(3) ダイパッドは、タイバーに隣接する部分に、このタイバーから距離を設けるように後退した切り欠き部分を有すること。

## 【0012】

(4) 内部リードフレームは、タイバー部分が半導体チップの上面より高く形成されていること。

## 【0013】

また、本発明の半導体装置（請求項7）は、外部リードフレームの隣接する第1及び第2のダイパッド上に搭載され、それぞれが主電極とこの主電極より面積が小さい副電極を有する第1及び第2の半導体チップと、前記第1及び第2の半導体チップのそれぞれの主電極及び副電極と前記外部リードフレームの対応する外部リードとの間に接続された内部リードを有し、それぞれの内部リードの間にカットされたタイバーを有する内部リードフレームと、前記第1及び第2のダイパッドの対向する辺において、前記第1のダイパッドに垂直に形成された突起リード部と、前記第2のダイパッドに搭載された第2の半導体チップの主電極に接続される内部リードと一体に形成され、前記突起リード部と嵌合する切り欠き部を有し、前記突起リード部と導電的に連結する連結リード部とを具備する。

## 【0014】

上記の半導体装置は、下記のように構成されることが望ましい。

(1) 突起リード部の上端に、上端面から後退して連結リード部を支える平坦部分を有すること。

## 【0015】

(2) 第1及び第2の半導体装置はMOSFETのチップであり、第1の半導体装置は、MOSFETに並列に接続されたショットキーダイオードを内蔵するチップであること。

## 【0016】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

## 【0017】

## (第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置の製造方法を説明するための図で、図1(a)はリードフレーム上に半導体チップがマウントされ、半導体チップの上面電極とリードフレームの外部リードが内部リードにより接続された状態を示す平面図、図1(b)は図1(a)のA-A線に沿った断面図である。

## 【0018】

図1において、1はリードフレームにおけるダイパッド、3はリードフレーム

の外部リード、5は外部リード3と一緒に形成された内部リード接続用パッド、7はリードフレームのタイバーであり、よく知られた樹脂封止用リードフレームを構成している。後述の内部リードフレームと区別するために、以後外部リードフレームと称することにする。

#### 【0019】

外部リードフレームのダイパッド1には、半導体チップ9が接続材21aを介してマウントされている。接続材21aとしては半田あるいは導電性接着剤が使用される。半導体チップ9は、例えばMOSFETであり、チップ上面に電極面積の大きいソース電極（主電極）11、電極面積の小さいゲート電極（副電極）13を有し、チップ下面のドレイン電極は前述のようにダイパッド9に接続材を介して接続されている。

#### 【0020】

第1の実施形態の特徴は、ソース電極11とゲート電極13の外部リードフレームへの取り出しリード（内部リード）が、板状金属からなる内部リードフレームで接続されていることである。内部リードフレームはソース電極リード15とゲート電極リード17とから構成されており、さらに両者を結ぶタイバー19を有している。タイバー19は内部リードフレームの取り付け後、カッターなどで切り離される。この切り離しが容易なように、タイバーは隣接する外部リードの間のほぼ中央に位置するように設けられている。

#### 【0021】

また、内部リードフレームは、例えば銅または銅合金の板からプレス加工等により形成され、図1（a）に示すように、チップ上面と外部リード上面のレベルに合わせて折り曲げ加工されている。この時タイバー19を含む部分は、チップ上面より高くなるようにフォーミングされており、これによりタイバーのカットを容易にしている。

#### 【0022】

内部リードフレームは、図2に示すように複数の内部リードのセット（ソース電極リード15とゲート電極リード17のセット）がフレーム23により連結された形態で供給され、チップと外部リードフレームに接続される直前に、吊りピ

ン25のリード側の根元で切り離されるようになっている。個々の内部リードフレーム（内部リードセット）は、チップの上面電極（ソース電極11およびゲート電極13）に接続されるチップパッド部15a、17aと外部リードに接続されるリードパッド部15b、17bを有する。チップパッド部15a、17a、リードパッド部15b、17bは、それぞれ接続材21b、21cによりチップ電極11、13と外部リード接続パッド5に接続される。接続材21b、21cは半田または導電性接着剤が使用され、ダイマウントに使用される接続材21aと同じ材料とすることが好ましいが、要求に応じて異なるものを使用してもよい。

#### 【0023】

次に、図1のリード付け構成の製造工程を説明する。先ず、リードフレームのダイパッド1および内部リードが接続される外部リードの接続パッド5に、例えばクリーム状の半田（半田ペースト）をディスペンサーにより適量供給する。ディスペンサ方式の代わりに印刷法を用いてもよい。

#### 【0024】

次に、半導体チップ9をリードフレームのダイパッド11上に、ダイマウンター等を使用してマウントする。その後、チップのソース電極11、ゲート電極13の上に半田ペーストをディスペンサ等を使用して適量供給する。ダイマウントに使用される半田ペーストとリード付けに使用される半田ペーストは同じものを使用することができる。

#### 【0025】

次に、内部リードフレームをフレームに連結された状態からソース電極リード15とゲート電極リード17の1セット分を切り離して、半導体チップおよび外部リードフレーム上に位置合わせしてマウントする。

#### 【0026】

内部リード用の半田ペーストの供給は、上記の方法の他に、内部リードフレームのチップパッド部15a、17aとリードパッド部15b、17bに半田ペーストを予め印刷しておいて（図2の点線部）、半導体チップおよび外部リードフレーム上の所定の位置に合わせてマウントするようにしてもよい。

## 【0027】

次に、マウント済みのリードフレームを半田リフロー炉を通して、半田のリフローを実施する。リフロー炉はベルトコンベヤー式の連続炉でもよいし、静止型のリフロー炉でもよい。これにより、ダイマウント用の半田21a、内部リード用の半田21b、21cが同時にリフローされる。

## 【0028】

上記は半田リフローの場合であるが、導電性接着剤を使用した場合でも、ディスペンサや印刷法による供給が可能であり、リフローと同様の加熱工程（熱処理）により、固着させることができる。

## 【0029】

次に、内部リードフレームのタイバー19をカッターでカットして、ソース電極リード15とゲート電極リード17を分離する。内部リードフレームのタイバー19は半導体チップ19の上面より高くなっているので、チップに接触しないようにカッターをタイバー19に当てるのは容易である。

## 【0030】

その後は、よく知られた樹脂モールド工程にリードフレームを供し、モールド後外部リード3のタイバー7をカットすることにより、封止済みの半導体装置が完成する。

## 【0031】

本発明の内部リードフレームは、支持点が4点あるため、マウント時に安定し、かつ位置精度を向上させることができる。従来方法では、チップのダイマウント後、ワイヤボンディングが必要であったが、本発明ではチップのダイマウント後、内部リードフレームのマウントを行い、チップおよび内部リードフレームの半田リフローを同時に行えばよいので、工程を短縮することができる。また、高価な金線を使用しないのでコストダウンが可能である。

## 【0032】

## (第2の実施形態)

第2の実施形態は、基本的には第1の実施形態と同じであるが、ダイパッドの形状が第1の実施形態と異なる。

## 【0033】

図3は、本発明の第2の実施形態に係る半導体装置の内部接続状態を示す平面図である。第1の実施形態と同一部分には同一番号を付して重複する説明を省略する。以後の実施形態においても同様とする。

## 【0034】

第2の実施形態の特徴は、図3に示すように、ダイパッド1aのタイバー19に近い部分が切り込み26により後退しており、タイバーカットが容易なようにされていることである。

## 【0035】

## (第3の実施形態)

図4は、本発明の第2の実施形態に係る内部リードの平面図およびタイバー19aの部分(B部)のB-B線に沿った拡大断面図である。第2の実施形態では、図4(b)に示すように、タイバー19aのカット部27の厚さを内部リードの厚さ(例えば0.3mm)よりも薄くし(例えば0.15mm)、カットが容易なようにしている。

## 【0036】

## (第4の実施形態)

第4の実施形態は、内部リードフレームをさらに変形した例である。図5は、本発明の第4の実施形態に係る内部リードの平面図であり、タイバー部分は2本のタイバー19b、19b'で構成されている。これにより、タイバー部分の剛性を高めており、ソース電極リード15とゲート電極リード17の捻れ等の相対的な変形を防止できる。

## 【0037】

なお、タイバー19b、19b'に対し、図4(b)のように部分的に薄い場所を設けて、カットが容易なようにしてもよい。

## 【0038】

## (第5の実施形態)

第5の実施形態は、内部リードフレームをさらに変形した例である。図6は、本発明の第5の実施形態に係る内部リードの平面図であり、タイバー部分が2本

のタイバー19c、19c'で構成されている。第4の実施例と異なる点は、1本のタイバー19cは外部リードフレームの内部リード接続用パッド5付近に設けられていることである。第4の実施形態同様に内部リードフレームの剛性を高めることができる。また、タイバー19c、19c'に対し、図4(b)のように部分的に薄い場所を設けて、カットが容易なようにしてもよい。

#### 【0039】

##### (第6の実施形態)

図7(a)は本発明の第6の実施形態に係る半導体装置のリード接続方法を示す平面図で、そのC-C線に沿った断面図を図7(b)に示す。本実施形態では2個の半導体チップが隣接してリードフレームにマウントされ、内部リード接続が行われた後、1パッケージとしてモールドされる。なお、A-A線に沿った断面図は、図1(b)と同様になる。また、図1(b)のD-D線に沿った断面図を図8に示す。

#### 【0040】

図7に示された2つの半導体チップ $11_1$ 、 $11_2$ はダイマウントされた後、第1～第5の実施形態で説明した内部リードフレームを用いる接続方法で、夫々外部リードフレームに接続されるが、図の右側に示す第1の内部リードフレームの形状と、図の左側に示す第2の内部リードフレームの形状が異なる。第1の内部リードフレームは第1の実施形態の内部リードフレームが例示されているが、第3若しくは第4の実施形態の内部リードフレームを用いてもよい。

#### 【0041】

また、図の左側に示す第2のダイパッド $1_2$ と、図の右側に示す第1のダイパッド $1_1$ の形状が異なる。第2のダイパッド $1_2$ は第1の実施形態のダイパッドが例示されているが、第2の実施形態のダイパッドを用いてもよい。

#### 【0042】

第1のダイパッド $1_1$ は、第2のダイパッド $1_2$ に隣接する部分の1部がダイパッドのほぼ辺の中央まで切り込まれ、直立するように加工されている。この直立部分が突起リード部33となる。

#### 【0043】

一方左側の第2の内部リードフレームのソース電極（主電極）リードの一部は第1のチップ方向に延在する連結リード部29を有し、その先端に設けられた切り込み部31に、第1のチップが搭載されるダイパッドの突起リード部33が嵌合している。このとき、突起リード部33の上端面より後退した位置に、第2のチップの内部リードの連結リード部29を支える段差（平坦部）35を設けておく。このようにすることにより、第2の内部リードフレームを安定に保持することが可能になる。第2の内部リードフレームの連結リード部29と第1のダイパッドの突起リード部33との嵌合部は、半田21dにより接合される。

#### 【0044】

次に、第6の実施形態の半導体装置の製造工程を説明する。先ず、リードフレームのダイパッド $1_1$ および $1_2$ 、内部リードが接続される外部リードのパッド5に、例えば半田ペーストをディスペンサーにより適量供給する。ディスペンサ方式の代わりに印刷法を用いてもよい。

#### 【0045】

次に、半導体チップ $9_1$ 、 $9_2$ をリードフレームのダイパッド $1_1$ 、 $1_2$ 上に、ダイマウンター等を使用してそれぞれマウントする。その後、チップのソース電極 $11_1$ 、 $11_2$  ゲート電極 $13_1$ 、 $13_2$  の上に半田ペーストをディスペンサ等を使用して適量供給する。ダイマウントに使用される半田ペーストとリード付けに使用される半田ペーストは同じものを使用することができる。

#### 【0046】

次に、内部リードフレームをフレームに連結された状態から、第1のチップ用のソース電極リード $15_1$ とゲート電極リード $17_1$ の1セット分を切り離して、半導体チップの電極および外部リードフレームの接続パッド上に位置合わせしてマウントする。続いて、第2のチップ用のソース電極リード $15_2$ とゲート電極リード $17_2$ の1セット分を切り離して、半導体チップおよび外部リードフレーム上に位置合わせしてマウントする。このとき、第2の内部リードフレームの連結リード部37の切り欠き部31は、第1の内部リードフレームの突起リード部33と嵌合し、突起リード部33に設けられた段差35に載置されるようとする。さらに、連結リード部29と突起リード部33の嵌合部に半田ペースト21

dをディスペンサにより供給する。

#### 【0047】

次に、チップおよび内部リードフレームをマウント済みの外部リードフレームを半田リフロー炉に通して、半田のリフローを実施する。リフロー炉はベルトコンベヤー式の連続炉でもよいし、静止型のリフロー炉でもよい。これにより、ダイマウント用の半田21a、内部リード用の半田21b、21c、連結部用の半田21dが同時にリフローされる。

#### 【0048】

その後は、第1の実施例と同様な工程を経ることにより、封止済みの半導体装置が完成する。上記の実施形態では接続材に半田ペーストを使用したが、導電性接着剤を使用できることは言うまでもない。

#### 【0049】

連結リード部29の第1のダイパッド1<sub>1</sub>への接続方法として、連結リード部29の先端を下方にフォーミングして、第1のダイパッド1<sub>1</sub>へ直接半田付けすることも考えられるが、この接続のための半田がチップのマウント用の半田と融合し、マウント半田の厚み、チップの平行度に悪影響を及ぼすおそれがある。これに対し、本発明では突起リード部33を用いて半田付け部をチップより遠ざけているので、上記のような悪影響の心配がない。

#### 【0050】

第6の実施形態のパッケージは、図9に示すような同期整流回路の1部に適用すると効果的である。図9において、Q1はパワーMOSFETでトランジスタ記号に並列に書かれたダイオードは寄生ダイオードである。Q1に直列に接続されたQ2は、同一チップ内に寄生ダイオード以外にショットキーバリアダイオードSBDが並列接続されたパワーMOSFETである。Q1のソースS1とQ2のドレインD2の接続ノードにはインダクターレとキャパシタCの直列回路が負荷として接続されている。ショットキーバリアダイオードSBDは、Q1のトランジスタがオフ時の電流路用に設けられている。

#### 【0051】

上記の回路のQ2を第1の半導体チップ、Q1を第2の半導体チップとして、

第6の実施形態のパッケージに適用すれば、同期整流回路の1部を1パッケージ化した半導体装置を実現できる。このように半導体装置回路を1パッケージ化すれば、配線基板で配線した場合に比べて、寄生インダクタンスと配線抵抗を減らすことができ、素子性能と実装効率を向上させることができる。

#### 【0052】

以上、本発明を実施形態に基づき説明したが、本発明は上記実施形態に限られるものではなく、種々の変形が可能である。例えば、第6の実施形態では2チップの場合を説明したが、3チップ以上のマルチチップに適用することができる。

#### 【0053】

##### 【発明の効果】

以上述べたように、本発明によれば、内部リードフレームを用いることにより、ダイマウントの半田付け工程と同時に、ゲート電極のような小電極にも内部リードの半田付けを行うことが可能になり、工程が簡略化される。高価な金線を使用するワイヤボンディング工程が不用になり、設備も簡略化される。

#### 【0054】

また、本発明を2チップ以上をモールドするマルチチップパッケージに応用すれば、プリント配線基板による寄生インダクタンスと配線抵抗が減少し、素子性能を向上させることができ、プリント基板の実装面積を減少させることができる

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態に係る半導体装置の内部接続方法を説明するための平面図およびA-A線に沿った断面図。

##### 【図2】

本発明の内部リードフレームの平面図。

##### 【図3】

本発明の第2の実施形態に係る半導体装置の平面図。

##### 【図4】

本発明の第3の実施形態に係る半導体装置の内部リードフレームの平面図およ

びB-B線に沿った断面図。

【図5】

本発明の第4の実施形態に係る半導体装置の内部リードフレームの平面図。

【図6】

本発明の第5の実施形態に係る半導体装置の内部リードフレームの平面図。

【図7】

本発明の第6の実施形態に係る半導体装置の内部接続方法を説明するための平面図およびC-C線に沿った断面図。

【図8】

図7のD-D線に沿った断面図。

【図9】

第6の実施形態の応用に適した同期整流回路の回路図。

【符号の説明】

1, 1a … ダイパッド

3 … 外部リード

5 … 内部リード接続用パッド

7 … (外部リードフレーム用) タイバー

9 … 半導体チップ

11 … ソース電極(主電極)

13 … ゲート電極(副電極)

15 … ソース電極リード

15a, 15b … ソース電極リード接続部

17 … ゲート電極リード

17a, 17b … ゲート電極リード接続部

19, 19a, 19b, 19b', 19c, 19c' … (内部リードフレーム用) タイバー

21a, 21b, 21c, 21d … 半田(接続材)

23 … 内部リードフレーム用フレーム

25 … 吊りピン

26 … ダイパッド切り込み（後退部）

27 … タイバー薄肉箇所

29 … 連結リード部

31 … 切り欠き部

33 … 突起リード部

35 … 段差

Q1, Q2 … パワーMOSFET

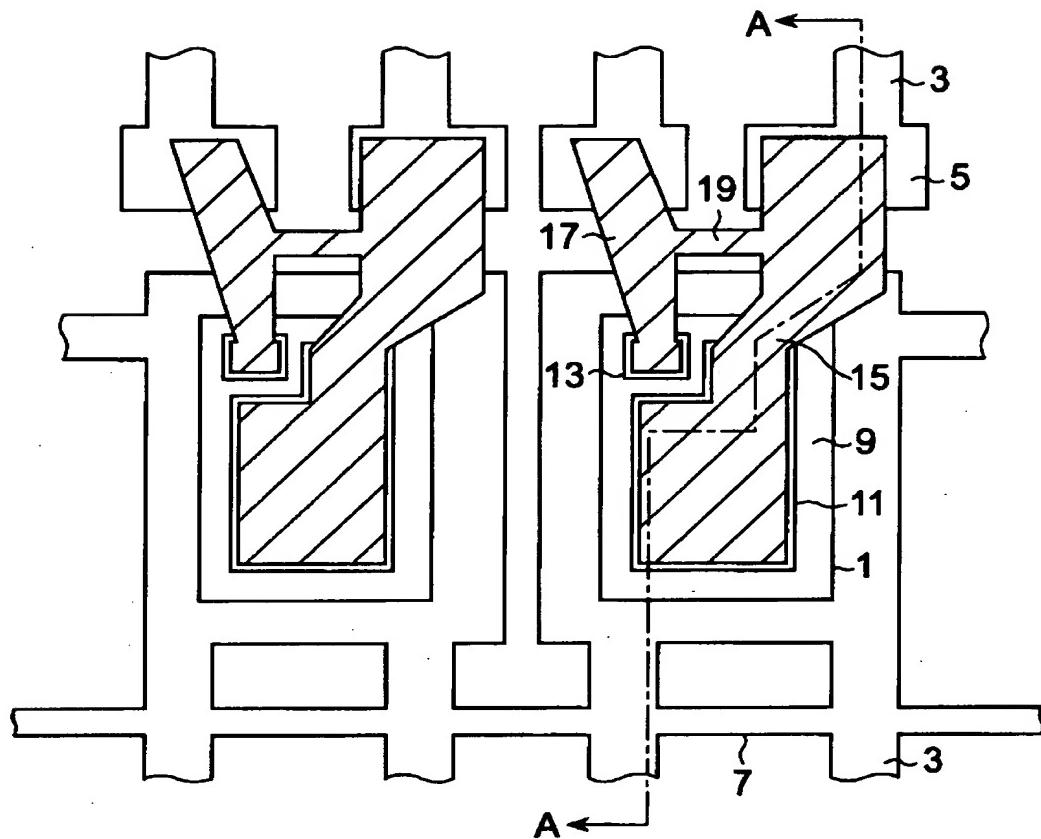
SBD … ショットキーバリアダイオード

L … インダクター

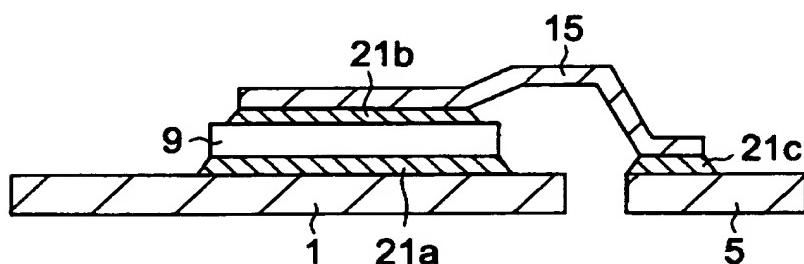
C … キャパシタ

【書類名】 図面

### 【図1】

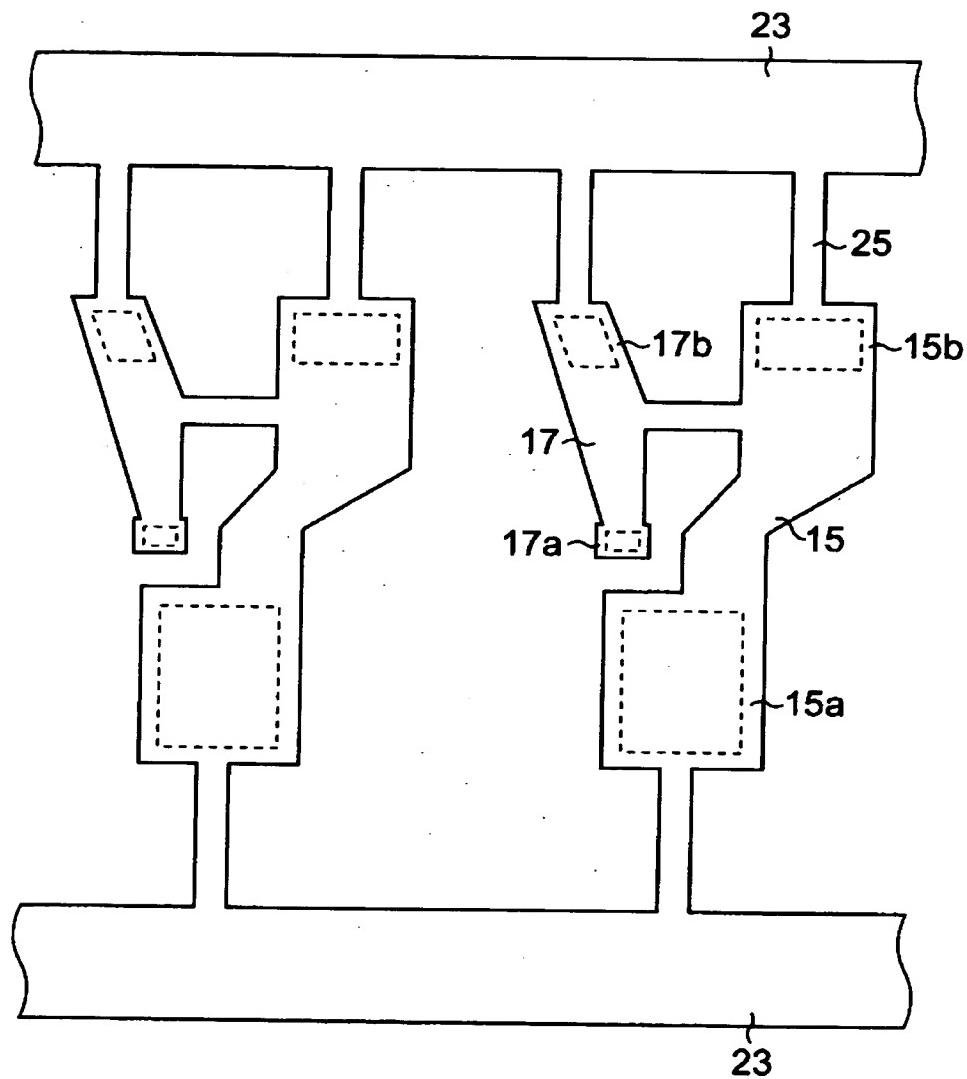


(a)

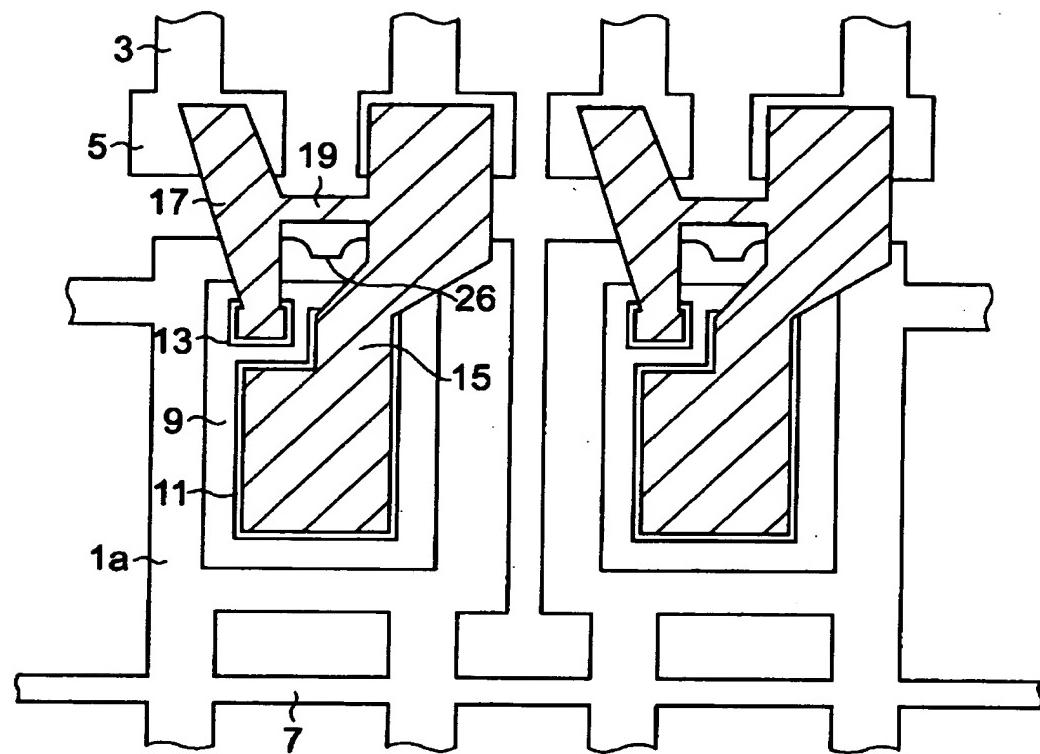


(b)

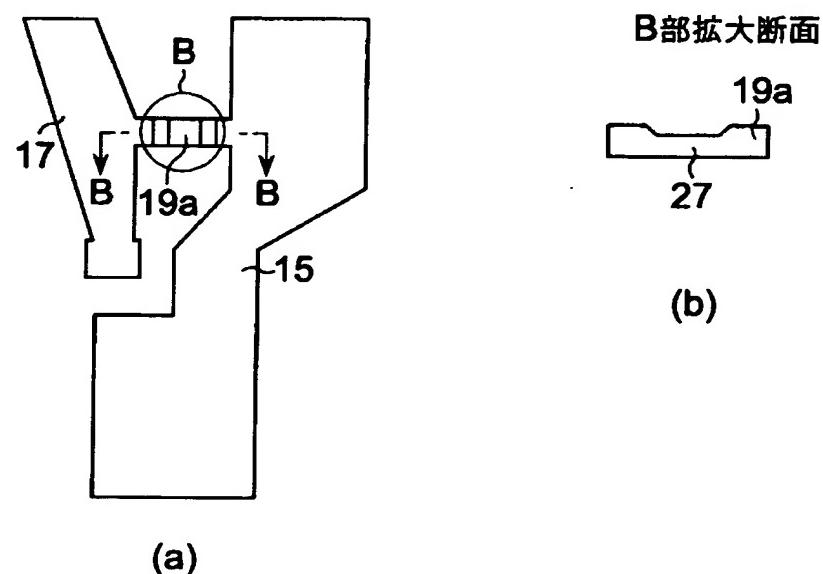
【図2】



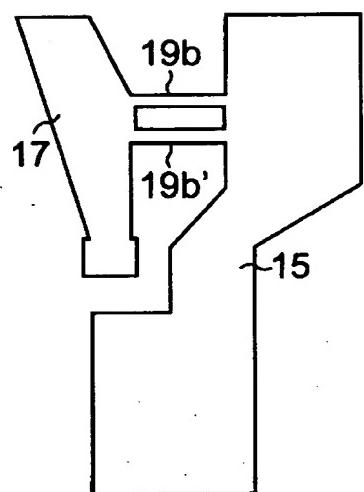
【図3】



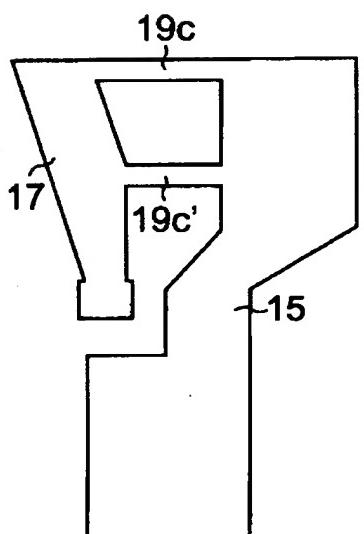
【図4】



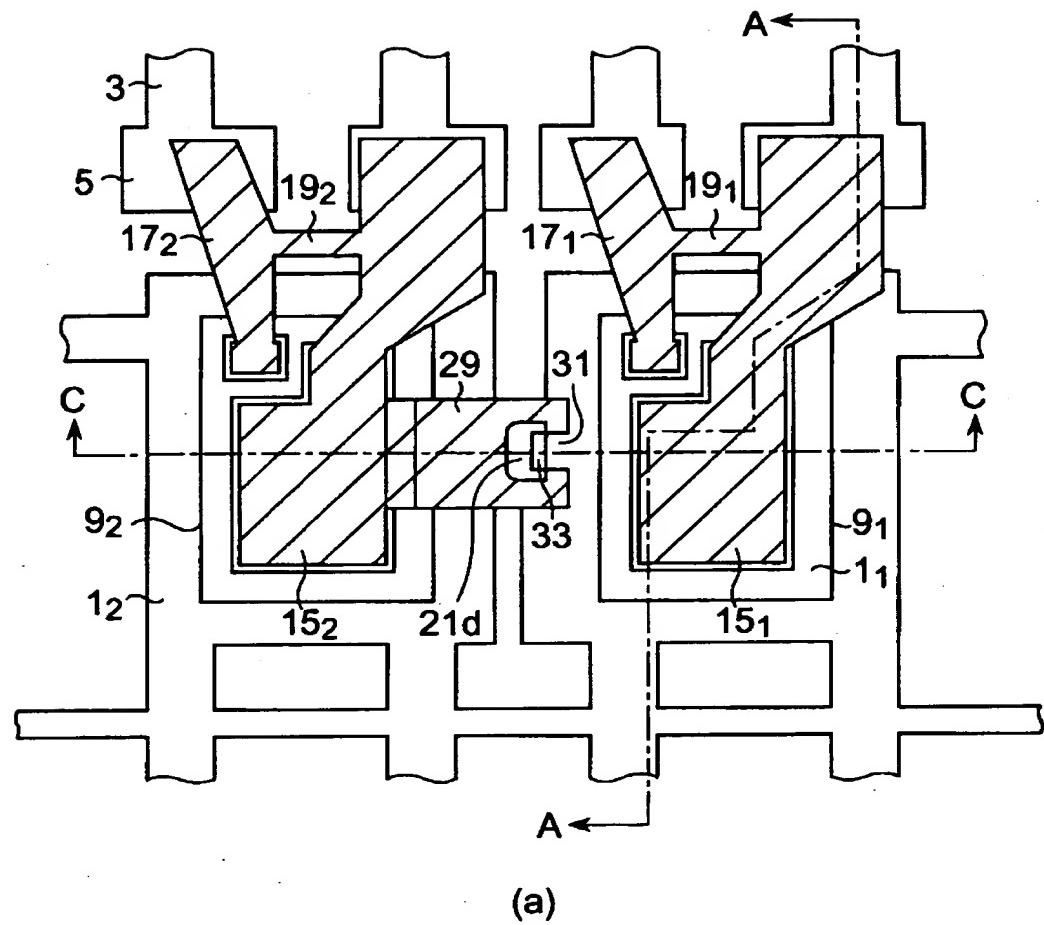
【図5】



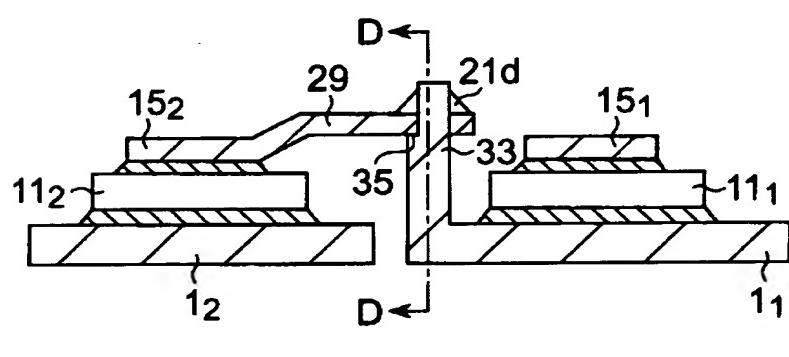
【図6】



【図7】

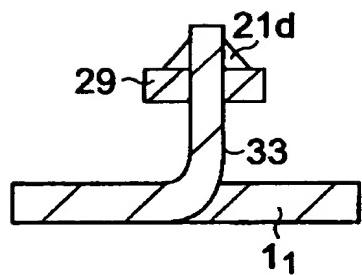


(a)

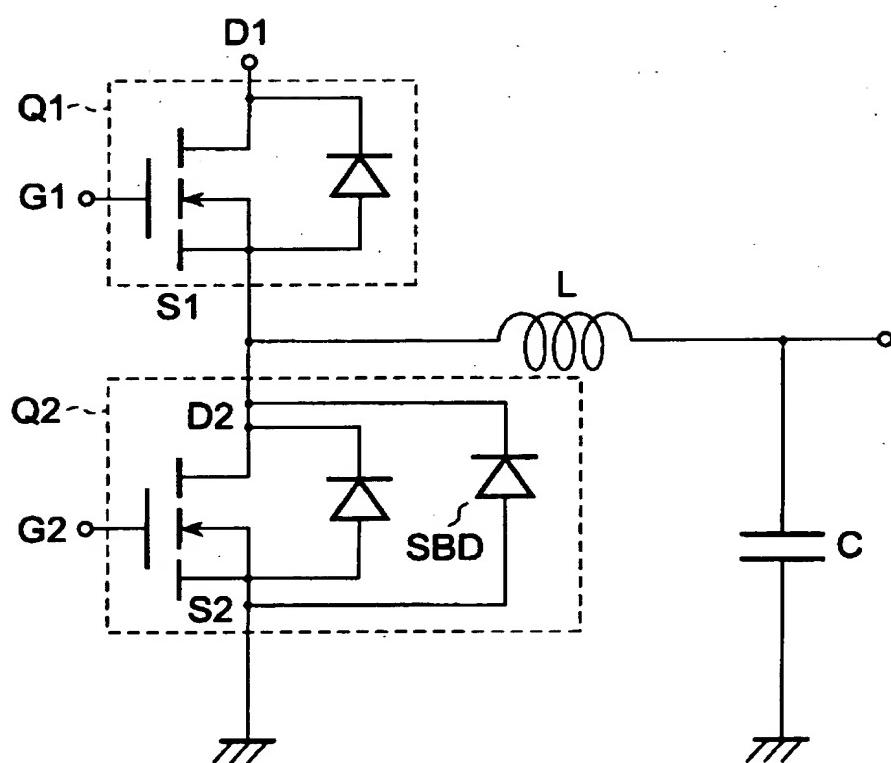


(b)

【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 パワー素子用多ピンパッケージの内部接続の簡略化された構成および製造方法を提供する。

【解決手段】 主電極とこの主電極より面積が小さい副電極を有する半導体チップを、接続材を介してリードフレームのダイパッドに搭載し、半導体チップの主電極及び副電極とリードフレームの対応する外部リードとの間に、それぞれの内部リードがタイバーにより接続された内部リードフレームを接続材を介して搭載し、接続材を加熱して半導体チップとダイパッドとの間、内部リードと半導体チップ及び外部リードとの間を導電的に同時に固着し、その後タイバーをカットして、内部リードフレームを各内部リードに分離する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝